PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : H01L 27/115

A1

(11) Internationale Veröffentlichungsnummer: WO 00/28596

(43) Internationales Veröffentlichungsdatum: 18. Mai 2000 (18.05.00)

(21) Internationales Aktenzeichen: PCT/DE99/03044

(22) Internationales Anmeldedatum: 23. September 1999 (23.09.99)

(30) Prioritätsdaten:
198 51 866.8 10. November 1998 (10.11.98) DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D–80333 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: SCHLÖSSER, Till [DE/DE]; Blombergstr. 40, D–81825 München (DE). KRAUTSCHNEIDER, Wolfgang [DE/DE]; Scheideholzweg 47 E, D–21149 Hamburg (DE). HOFMANN, Franz [DE/DE]; Herbergstr. 25 B, D–80995 München (DE). HANEDER, Thomas–Peter [DE/DE]; Görzer Str. 96, D–81549 München (DE).

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D–80506 München (DE).

(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht
Mit internationalem Recherchenbericht.

(54) Title: MEMORY CELL ARRANGEMENT

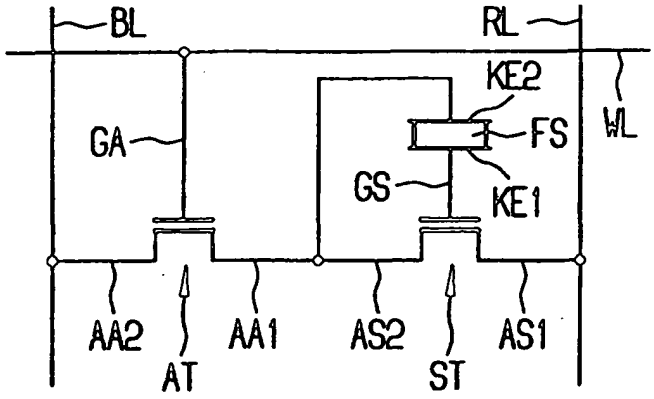
(54) Bezeichnung: SPEICHERZELLENANORDNUNG

(57) Abstract

The memory cells of a memory cell arrangement have a selection transistor, (AT), a memory transistor (ST) and a ferroelectric capacitor respectively. The selection transistor (AT) and the memory transistor are connected in series. The ferroelectric capacitor is connected between a control electrode (GS) of the memory transistor (ST) and a first terminal (AA1) of the selection transistor (AT).

(57) Zusammenfassung

ie Speicherzellen einer Speicherzellenanordnung weisen jeweils einen Auswahltransistor (AT), einen Speichertransistor (ST) und einen ferroelektrischen Kondensator auf. Der Auswahltransistor (AT) und der Speichertransistor sind in Reihe verschaltet. Der ferroelektrische Kondensator ist zwischen eine Steuerelektrode (GS) des Speichertransistors (ST) und einen ersten Anschluss (AA1) des Auswahltransistors (AT) geschaltet.



PTO 2002-5070

S.T.I.C. Translations Branch

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland		Republik Mazedonien	TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von
CA	Kanada	IT	Italien	MX	Mexiko		Amerika
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun		Korea	PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

Speicherzellenanordnung.

Die Erfindung betrifft eine Speicherzellenanordnung zur nichtflüchtigen Speicherung von Daten.

Zur nichtflüchtigen Speicherung von Daten werden vielfach Speicherzellenanordnungen verwendet, bei denen die Speicherzelle jeweils einen konventionellen MOS-Transistor enthält, der neben einem Steuergate ein Floatinggate aufweist. Auf dem Floatinggate sind Ladungen gespeichert, die der zu speichernden Information entsprechen (siehe S. M. Sze, Semiconductor Devices, J. Wiley 1985, Seite 490). Derartige Speicherzellen werden auch als EEPROM-Zellen bezeichnet. Sie können elektrisch programmiert werden. Allerdings sind zum Einschreiben von Daten Zeitkonstanten von bis zu 20 ms erforderlich. Diese Speicher lassen sich nur beschränkt umprogrammieren, das heißt etwa 10^6 Zyklen.

Ferner sind Speicherzellen bekannt (siehe H. N. Lee et al, Ext. Abstr. Int. Conf. Solid State Devices and Materials, 1997, Seiten 382 bis 383), in denen zur nichtflüchtigen Speicherung von Daten Speicherzellen mit jeweils einem ferroelektrischen Feldeffekttransistor vorgesehen sind. Der ferroelektrische Transistor weist wie ein MIS-Transistor Source, Drain, Gatedielektrikum und Gateelektrode auf, wobei das Gatedielektrikum eine ferroelektrische Schicht enthält. Die ferroelektrische Schicht kann zwei unterschiedliche Polarisationszustände einnehmen, die den logischen Werten einer digitalen Information zugeordnet werden. Durch Anlegen einer ausreichend hohen Spannung wird der Polarisationszustand der ferroelektrischen Schicht verändert. Bei Integration des ferroelektrischen Transistors in eine Siliziumprozeßtechnik wird zwischen die Oberfläche eines Siliziumsubstrats und die ferroelektrische Schicht eine dielektrische Zwischenschicht eingebracht, die die Grenzflächeneigenschaften sicherstellt.

Beim Programmieren der Speicherzelle fällt ein Teil der zwischen Siliziumsubstrat und Gateelektrode angelegten Spannung über die Zwischenschicht ab.

Um die technologischen Schwierigkeiten der Grenzflächen zu vermeiden, wurde vorgeschlagen (Y. Katoh et al, Symp. VLSI Technol., 1996, Seiten 56 bis 57), als Speicherzelle einen MOS-Transistor zu verwenden, dessen Gateelektrode mit einem ferroelektrischen Kondensator in Reihe geschaltet ist. In dieser Speicherzelle liegt an der Gateelektrode eine vom Polarisationszustand der ferroelektrischen Schicht des ferroelektrischen Kondensators abhängige Spannung an. In dieser Speicherzelle ist es erforderlich, daß die Verbindung zwischen der Gateelektrode und dem ferroelektrischen Kondensator keinen Ladungsfluß erlaubt, da andernfalls die gespeicherte Information verlorengeht und die Zeit für den Datenerhalt zur nichtflüchtigen Speicherung nicht ausreicht.

Der Erfindung liegt die Aufgabe zugrunde, eine Speicherzellenanordnung anzugeben, die zur nichtflüchtigen Speicherung von Daten geeignet ist, die häufiger als EEPROM-Anordnungen umprogrammierbar ist und in der die Zeit für den Datenerhalt unabhängig von Leckströmen ist.

Diese Aufgabe wird gelöst durch eine Speicherzellenanordnung gemäß Anspruch 1. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Die Speicherzellenanordnung weist in einem Halbleitersubstrat integriert eine Vielzahl Speicherzellen auf, die jeweils einen Auswahltransistor, einen Speichertransistor und einen ferroelektrischen Kondensator aufweisen. Der Auswahltransistor und der Speichertransistor sind in Reihe verschaltet. Der ferroelektrische Kondensator ist zwischen einen ersten Anschluß des Auswahltransistors, der mit einem zweiten Anschluß des Speichertransistors verbunden ist, und eine Steuerelektrode des Speichertransistors geschaltet.

Die Speicherzelle ist jeweils über eine Wortleitung, über die der Auswahltransistor eingeschaltet wird, ansteuerbar. Ist der Auswahltransistor eingeschaltet, so liegt das am Auswahltransistor anliegende Potential direkt am Speichertransistor und an den ferroelektrischen Kondensator an. Abhängig von der Polarisation der ferroelektrischen Schicht des ferroelektrischen Kondensators wird dann der Speichertransistor eingeschaltet bzw. nicht eingeschaltet. Der Pegel des Signals, das zu detektieren ist, hängt von dem Pegel ab, der am Auswahltransistor anliegt. Die Speicherzelle ist somit nach Art einer selbstverstärkenden Speicherzelle aufgebaut.

Die Information wird in Form der Polarisation der ferroelektrischen Schicht eingespeichert. Die Polarisation läßt sich beliebig oft umschalten. Wird eine Speicherzelle durch Ansteuerung der entsprechenden Wortleitung ausgewählt, so liegt über den Auswahltransistor ein festes Potential an dem ferroelektrischen Kondensator an. Entsprechend der Polarisation der ferroelektrischen Schicht liegt an der Gateelektrode des Speicherkondensators eine von der gespeicherten Information abhängige Spannung an. Ist die Speicherzelle dagegen nicht ausgewählt, so kann das Potential über eventuelle Leckströme über den ersten Anschluß des Auswahltransistors ins Gleichgewicht relaxieren. Die Information geht dabei nicht verloren. Erst über das Öffnen des Auswahltransistors wird der ferroelektrische Kondensator wieder mit einem definierten Potential beaufschlagt und es liegt am Speichertransistor wieder eine Spannung an.

Vorzugsweise werden für den Auswahltransistor und den Speichertransistor jeweils MOS-Transistoren verwendet. Die Steuerelektrode des Speichertransistors ist dann eine Gateelektrode. Der Auswahltransistor ist über seine Gateelektrode mit einer Wortleitung verbunden. Auswahltransistor und Speichertransistor sind in Reihe zwischen eine Bitleitung und eine Referenzleitung geschaltet. Die Referenzleitung und die Bit-

leitung verlaufen parallel. Ob eine dieser Leitungen als Bitleitung oder als Referenzleitung verwendet wird, wird durch die Beschaltung definiert.

Der ferroelektrische Kondensator weist eine ferroelektrische Schicht auf, die zwischen zwei Kondensatorelektroden angeordnet ist.

Zum Einschreiben von Information in diese Speicherzelle wird zwischen die Bitleitung und die Referenzleitung eine erhöhte Spannung angelegt, so daß die Polarisation der ferroelektrischen Schicht verändert wird. Dabei ist es vorteilhaft, das Verhältnis der Kapazitäten des ferroelektrischen Kondensators und der Gateelektrode des Speichertransistors im wesentlichen auf 1:1 einzustellen. Da die Dielektrizitätskonstante der ferroelektrischen Schicht (zum Beispiel SBT = Strontium-Bismut-Tantalat) des ferroelektrischen Kondensators zu der dielektrischen Schicht des Transistors (zum Beispiel SiO_2 in der Standard-Silizium-Prozeßtechnologie) etwa in einem Verhältnis von 100 zu 1 steht, erhält man bei gleicher Fläche von Kondensator und Transistor-Gate einen Spannungsteiler mit sehr ungünstigen Bedingungen. Vorzugsweise sollen aber die Flächenanteile beider Bauteile möglichst gering und damit etwa gleich sein. Es gibt mehrere Möglichkeiten, das Kapazitätsverhältnis des Spannungsteilers dennoch zu verbessern. Die Dielektrizitätskonstante der ferroelektrischen Schicht kann durch geeignete Wahl der Abscheidebedingungen, zum Beispiel eines geringeren Temperaturbudgets, oder im Fall von SBT durch Beifügen geringer Mengen Niob reduziert werden. Damit sinkt die Kapazität des ferroelektrischen Kondensators.

Andererseits ist es im Bereich des Transistors möglich, die Gate-Kapazität zu erhöhen, indem man zum Beispiel CeO_2, ZrO_2 oder ein sehr dünnes nitridiertes Silizium-Oxid als Gate-Dielektrikum für den Transistor verwendet. Damit kann erreicht werden, daß die Gate-Kapazität des Transistors im Ver-

gleich zu herkömmlichem SiO_2 bei vergleichbarer Schichtdicke erheblich zunimmt (für CeO_2 zum Beispiel um einen Faktor 5).

Darüber hinaus können die Kapazitäten geeignet aufeinander abgestimmt werden, indem die Schichtdicke der ferroelektrischen Schicht des ferroelektrischen Kondensators zum Beispiel um einen Faktor 50 über der der dielektrischen Schicht des Transistors liegt.

Zur Vergrößerung der Kapazität zwischen der Gateelektrode und dem Kanalgebiet des Speichertransistors ist es vorteilhaft, eines der Source-/Drain-Gebiete des Speichertransistors so zu entwerfen, daß es mit der Gateelektrode des Speichertransistors überlappt. Der Überlapp zwischen dem ersten Source-/Drain-Gebiet und der Gateelektrode des Speichertransistors beträgt dabei mindestens 10 Prozent der Fläche der Gateelektrode.

Vorzugsweise ist der Speichertransistor über einen ersten Anschluß mit der Referenzleitung verbunden und es ist zwischen die Gateelektrode des Speichertransistors und die Referenzleitung ein Widerstand geschaltet. In dieser Anordnung sind der Lesevorgang und der Schreib-/Lesespeicherschreibvorgang in der Zeitskala getrennt. Zum Lesen der Information wird die Speicherzelle ausgewählt und es liegt für eine Zeit, die vom Widerstand und der Kapazität des ferroelektrischen Kondensators abhängt, eine Spannung an der Gateelektrode des Speichertransistors an. Während dieser Zeit kann die Information ausgelesen werden. Nach Ablauf dieser Zeit liegt die Spannung direkt am ferroelektrischen Kondensator an, so daß die Polarisation der ferroelektrischen Schicht verändert werden kann. Als Widerstand ist in dieser Ausgestaltung jeder Widerstand geeignet. Er kann eine ohmsche Kennlinie aufweisen. Es sind jedoch auch Widerstände ohne ohmsche Kennlinie geeignet. Insbesondere kann der Widerstand durch eine dünne dielektrische Schicht realisiert werden, die durch Tunneln von Ladungsträgern durchflossen wird. Derartige Widerstände werden auch als

Tunnelwiderstand bezeichnet. In dieser Ausgestaltung wird die Referenzleitung mit 0 Volt, die Bitleitung mit einer Versorgungsspannung verbunden. Die Zeitkonstante ist über den Widerstand und die Kapazität einstellbar.

Als Halbleitersubstrat ist insbesondere ein Substrat, das monokristallines Silizium enthält, insbesondere eine monokristalline Siliziumscheibe, ein SOI-Substrat oder SiC-Substrat geeignet.

Für die ferroelektrische Schicht des ferroelektrischen Kondensators sind unter anderem Strontium-Wismut-Tantalat (SBT), Blei-Zirkonium-Titanat (PZT), Lithium-Niobat ($LiNbO_3$) oder Barium-Strontium-Titanat (BST) einsetzbar.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

Figur 1 zeigt eine Speicherzelle, die einen Auswahltransistor, einen Speichertransistor und einen ferroelektrischen Kondensator aufweist.

Figur 2 zeigt eine technologische Ausführungsform für die in Figur 1 dargestellte Speicherzelle.

Figur 3 zeigt eine Speicherzelle, die einen Auswahltransistor, einen Speichertransistor, einen ferroelektrischen Kondensator und einen Widerstand aufweist.

Ein erster Anschluß AS1 eines Speichertransistors ST ist mit einer Referenzleitung RL verbunden (siehe Figur 1). Ein zweiter Anschluß AS2 des Speichertransistors ST ist mit einem ersten Anschluß AA1 eines Auswahltransistors AT verbunden. Ein zweiter Anschluß des Auswahltransistors AA2 ist mit einer Bitleitung BL verbunden. Eine Gateelektrode GA des Auswahltransistors AT ist mit einer Wortleitung WL verbunden. Eine

Gateelektrode GS des Speichertransistors ST ist mit einer ersten Kondensatorelektrode KE1 eines ferroelektrischen Kondensators verbunden. Der ferroelektrische Kondensator umfaßt neben der ersten Kondensatorelektrode KE1 eine ferroelektrische Schicht FS und eine zweite Kondensatorelektrode KE2, die mit dem ersten Anschluß AA1 des Auswahltransistors AT verbunden ist.

Zum Betrieb der aus dem Auswahltransistor AT, dem Speichertransistor ST und dem ferroelektrischen Kondensator gebildeten Speicherzelle wird zum Lesen von Daten zwischen die Bitleitung BL und die Referenzleitung RL eine Spannung angelegt. Über die Wortleitung WL wird der Auswahltransistor AT eingeschaltet. Damit liegt das an der Bitleitung anliegende Potential an dem zweiten Anschluß AS2 des Speichertransistors ST und an der zweiten Kondenstorelektrode KE2 an. Das an der Gateelektrode GS des Speichertransistors ST anliegende Potential hängt ab von der Polarisation der ferroelektrischen Schicht FS. Zum Auslesen der Information, die der Polarisation der ferroelektrischen Schicht FS zuzuordnen ist, wird bewertet, ob zwischen der Bitleitung BL und der Referenzleitung RL ein Strom fließt oder nicht. Zum Lesen von Information werden an die Bitleitung BL, die Referenzleitung RL und die Wortleitung WL folgende Pegel angelegt: Referenzleitung RL: V_{dd}/O, Bitleitung BL: O/V_{dd}, Wortleitung WL: $V_{dd} + V_t$. Dabei ist V_{dd} die Versorgungsspannung und V_t die Schwellenspannung des Auswahltransistors. Die Erhöhung der an der Wortleitung anliegenden Spannung um V_t wird allgemein als Boost bezeichnet.

Zum Speichern von Information in dieser Speicherzelle wird zwischen Bitleitung BL und Referenzleitung RL eine höhere Spannung angelegt, so daß über den ferroelektrischen Kondensator bei eingeschaltetem Auswahltransistor AT eine zur Änderung der Polarisationsrichtung der ferroelektrischen Schicht FS ausreichende Spannung anliegt.

Zum Speichern von Information in der Speicherzelle werden folgende Pegel angelegt: Bitleitung BL:0 bzw. V_{dd}, Referenzleitung RL: 2 V_{dd} bzw. - V_{dd}, Wortleitung WL: V_{dd} bzw. V_{dd} + V_t. Dabei wird angenommen, daß die Kapazität des ferroelektrischen Kondensators beispielsweise 5 $fF/\mu m^2$, die Kapazität der Gateelektrode GS des Speichertransistors zum Beispiel 5 $fF/\mu m^2$ beträgt.

Um eine negative Spannung an der Referenzleitung RL anlegen zu können, müssen sich die mit der Referenzleitung RL verbundenen Bereiche 2 innerhalb einer Wanne befinden, die mit einer negativen Spannung beaufschlagt wird, die etwa gleich der negativen Spannung an der Referenzleitung RL ist. Diese Wanne besteht aus halbleitendem Material mit einem Dotierungstyp, der entgegengesetzt zu dem Dotierungstyp des ersten Source-/Draingebietes 2 ist. Bei der für Speicherzellen vorherrschenden n-Kanal MOS-Technik ist das erste Source-/Draingebiet 2 vom n-Typ, die Wanne ist dann vom p-Typ dotiert.

Eine andere Möglichkeit, die notwendige Umkehr des elektrischen Feldes über dem ferroelektrischen Material beim Programmieren der logischen Zustände zu erreichen, besteht darin, an der Referenzleitung eine Spannung von 2 V_{dd} bzw. 0 V und an der Bitleitung 0 bzw. 2 V_{dd} anzulegen. Dies bedeutet, daß im Falle einer Spannung von 2 V_{dd} an der Bitleitung das Gateoxid des Auswahltransistors AT mit einer Dicke ausgeführt werden muß, die für eine Spannung 2 V_{dd} + V_t an der Wortleitung WL ausgelegt ist, damit die Spannung 2 V_{dd} von der Bitleitung zu dem ferroelektrischen Kondensator durchgeschaltet werden kann. V_t bezeichnet die Schwellenspannung des Auswahltransistors AT.

Die Speicherzelle ist in einem Halbleitersubstrat 1 aus monokristallinem Silizium realisiert (siehe Figur 2). In dem Halbleitersubstrat 1 sind ein erstes Source-/Drain-Gebiet 2, ein gemeinsames Source-/Drain-Gebiet 3 und ein zweites Source-/Drain-Gebiet 4 vorgesehen. Zwischen dem ersten Source-

/Drain-Gebiet 2 und dem gemeinsamen Source-/Drain-Gebiet 3 sind an der Oberfläche des Halbleitersubstrats 1 ein erstes Gateoxid 5 und die Gateelektrode GS des Speichertransistors ST angeordnet. Das Gateoxid 5 weist eine Dicke von 4 bis 12 nm auf. Die Gateelektrode GS des Speichertransistors ST enthält n-dotiertes Polysilizium mit einer Dotierstoffkonzentration von $> 10^{20}$ cm^{-3} und einer Dicke von 100 bis 300 nm. An der Oberfläche der Gateelektrode GS ist eine erste Barriereschicht 6 zum Beispiel aus TiN in einer Dicke von 10 bis 50 nm angeordnet, auf der die erste Kondensatorelektrode KE1 aus Platin in einer Dicke von 20 bis 200 nm angeordnet ist. Die erste Kondensatorelektrode KE1 grenzt an die ferroelektrische Schicht FS aus Strontium-Wismut-Tantalat (SBT) oder Blei-Zirkonium-Titanat (PZT) an, die eine Dicke von 20 bis 200 nm aufweist. Auf der der ersten Kondensatorelektrode KE1 abgewandten Seite der ferroelektrischen Schicht FS ist die zweite Kondensatorelektrode KE2 aus Platin in einer Dicke von 20 bis 200 nm angeordnet. Die zweite Kondensatorelektrode KE2 ist mit einer zweiten Barriereschicht 7 aus TiN mit einer Dicke von 10 bis 50 nm versehen.

Das erste Gateoxid 5, die Gateelektrode GS des Speichertransistors ST, die erste Barriereschicht 6, die erste Kondensatorelektrode KE1, die ferroelektrische Schicht FS, die zweite Kondensatorelektrode KE2 und die zweite Barriereschicht 7 weisen gemeinsame Flanken auf, die mit isolierenden Spacern 8 aus SiO_2 versehen sind.

Zwischen dem gemeinsamen Source-/Drain-Gebiet 3 und dem zweiten Source-/Drain-Gebiet 4 ist an der Oberfläche des Halbleitersubstrats 1 ein zweites Gateoxid 9 in einer Dicke von 4 bis 12 nm und die Gateelektrode GA des Auswahltransistors AT angeordnet. Die Gateelektrode GA des Auswahltransistors AT und das zweite Gateoxid 9 weisen gemeinsame Flanken auf, die mit isolierenden Spacern 10 aus SiO_2 versehen sind.

Eine leitende Verbindung 11 aus dotiertem Polysilizium reicht von der Oberfläche des gemeinsamen Source-/Drain-Gebietes 3 bis auf die Oberfläche der zweiten Barriereschicht 7. Über die leitende Verbindung 11 sind die zweite Kondensatorelektrode KE2 und das gemeinsame Source-/Drain-Gebiet 3 miteinander elektrisch verbunden.

Im ausgeschalteten Zustand des Auswahltransistors AT kann sich ein an der zweiten Kondensatorelektrode KE2 anliegendes Potential über das gemeinsame Source-/Drain-Gebiet 3 relaxieren. Beim Einschalten des Auswahltransistors AT wird das gemeinsame Source-/Drain-Gebiet 3 wieder auf das durch die Bitleitung BL vorgegebene Potential gezogen. Daher geht die Information in dieser Speicherzelle nicht verloren, selbst wenn über die Verbindung zwischen der Gateelektrode GS des Speichertransistors ST und der ersten Kondensatorelektrode KE1 ein Ladungfluß über Leckströme auftritt.

In einem weiteren Ausführungsbeispiel sind ein Speichertransistor ST' und ein Auswahltransistor AT' in Reihe zwischen eine Referenzleitung RL' und eine Bitleitung BL' geschaltet. Dabei ist ein erster Anschluß AS1' des Speichertransistors ST' mit der Referenzleitung RL', ein zweiter Anschluß AS2' des Speichertransistors ST' mit einem ersten Anschluß AA1' des Auswahltransistors AT' und ein zweiter Anschluß AA2' des Auswahltransistors AT' mit der Bitleitung BL' verbunden. Die Gateelektrode GA' des Auswahltransistors AT' ist mit einer Wortleitung WL' verbunden.

Die Speicherzelle weist darüber hinaus einen ferroelektrischen Kondensator auf, der eine erste Kondensatorelektrode KE1', eine ferroelektrische Schicht FS' und eine zweite Kondensatorelektrode KE2' umfaßt. Die erste Kondensatorelektrode KE1' ist mit einer Gateelektrode GS' des Speichertransistors ST' verbunden. Die zweite Kondensatorelektrode KE2' ist mit dem ersten Anschluß AA1' des Auswahltransistors AT' verbunden. Zwischen die Gateelektrode GS' des Speichertransistors

ST' und den ersten Anschluß AS1' des Speichertransistors ST' ist ein Widerstand R' geschaltet, der einen Widerstandswert R aufweist.

Beim Betrieb der Speicherzelle erfolgt die Auswahl der Speicherzelle über die Wortleitung WL' und die Gateelektrode GA' des Auswahltransistors AT'. Durch Einschalten des Auswahltransistors AT' liegt zwischen dem ersten Anschluß AS1' und dem zweiten Anschluß AS2' des Speichertransistors ST' die zwischen der Wortleitung WL' und der Referenzleitung RL' angelegte Spannung an. Die Bitleitung BL' wird dabei mit einer Versorgungsspannung VDD von 1,5 bis 3,3 V, die Referenzleitung RL' mit 0 Volt beaufschlagt.

Während einer Zeit von etwa RC, wobei R der Widerstandswert des Widerstands R' und C die Kapazität von 1 bis 3 fF ist, liegt an der Gateelektrode GS' des Speichertransistors S' eine Spannung an, die von der Versorgungsspannung VDD am zweiten Anschluß AS2' des Speichertransistors ST' und der Polarisation der ferroelektrischen Schicht FS' abhängt. Nach einer längeren Zeit fließen Oberflächenladungen der ferroelektrischen Schicht FS' über den Widerstand R' ab, so daß die Versorgungsspannung über dem ferroelektrischen Kondensator abfällt. Bei Zeiten, die länger als RC sind, liegt daher eine Spannung an dem ferroelektrischen Kondensator an, die zum Schreiben, das heißt zur Veränderung der Polarisation der ferroelektrischen Schicht FS' verwendet wird.

Die Zeitkonstante RC beträgt 10 bis 50 ns.

Patentansprüche

1. Speicherzellenanordnung,

- bei der in einem Halbleitersubstrat (1) integriert eine Vielzahl Speicherzellen vorgesehen sind, die jeweils einen Auswahltransistor (AT), einen Speichertransistor (ST) und einen ferroelektrischen Kondensator (KE1, FS, KE2) aufweisen,

- bei der der Auswahltransistor (AT) und der Speichertransistor (ST) über einen ersten Anschluß (AA1) des Auswahltransistors (AT) in Reihe verschaltet sind,

- bei der der ferroelektrische Kondensator (KE1, FS, KE2) zwischen den ersten Anschluß (AA1) des Auswahltransistors (AT) und eine Steuerelektrode (GS) des Speichertransistors (ST) geschaltet ist.

2. Speicherzellenanordnung nach Anspruch 1,

- bei der der Auswahltransistor (AT) und der Speichertransistor (ST) jeweils als MOS-Transistor ausgebildet sind,

- bei der eine Gateelektrode (GA) des Auswahltransistors (AT) mit einer Wortleitung (WL) verbunden ist,

- bei der der Auswahltransistor (AT) und der Speichertransistor (ST) in Reihe zwischen eine Bitleitung (BL) und eine Referenzleitung (RL) geschaltet sind.

3. Speicherzellenanordnung nach Anspruch 2,

- bei der der Speichertransistor (ST) über einen ersten Anschluß (AS1) mit der Referenzleitung (RL) verbunden ist,

- bei der zwischen die Steuerelektrode (GS') des Speichertransistors (ST') und die Referenzleitung (RL') ein Widerstand (R') geschaltet ist.

4. Speicherzellenanordnung nach einem der Ansprüche 1 bis 3,

- bei der der ferroelektrische Kondensator eine erste Elektrode (KE1), eine ferroelektrische Schicht (FS) und eine zweite Elektrode (KE2) aufweist,

- bei der die ferroelektrische Schicht Strontium-Wismut-Tantalat (SBT), Blei-Zirkonium-Titantat (PZT), Lithium-Niobat ($LiNbO_3$) oder Barium-Strontium-Titanat (BST) enthält.

5. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4, bei der der Speichertransistor (ST) ein erstes Source-/Drain-Gebiet (2) aufweist, das mit dem ersten Anschluß (AS1) verbunden ist und das mit der Steuerelektrode (GS) des Speichertransistors (ST) überlappt.

6. Speicherzellenanordnung nach Anspruch 5, bei der der Überlapp zwischen dem ersten Source-/Drain-Gebiet (2) und der Steuerelektrode (GS) des Speichertransistors (ST) mindestens 10 Prozent der Fläche der Steuerelektrode (GS) beträgt.

7. Speicherzellenanordnung nach einem der Ansprüche 1 bis 6, bei der die Kapazität des ferroelektrischen Kondensators und die Kapazität der Steuerelektrode (GS) des Speichertransistors (ST) ein Verhältnis von im wesentlichen Eins aufweisen.

FIG 1

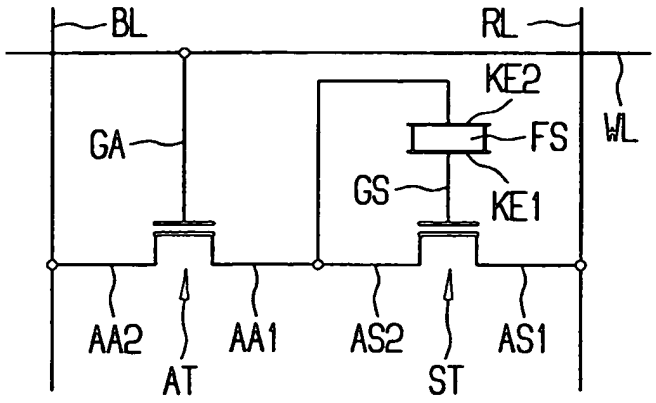


FIG 2

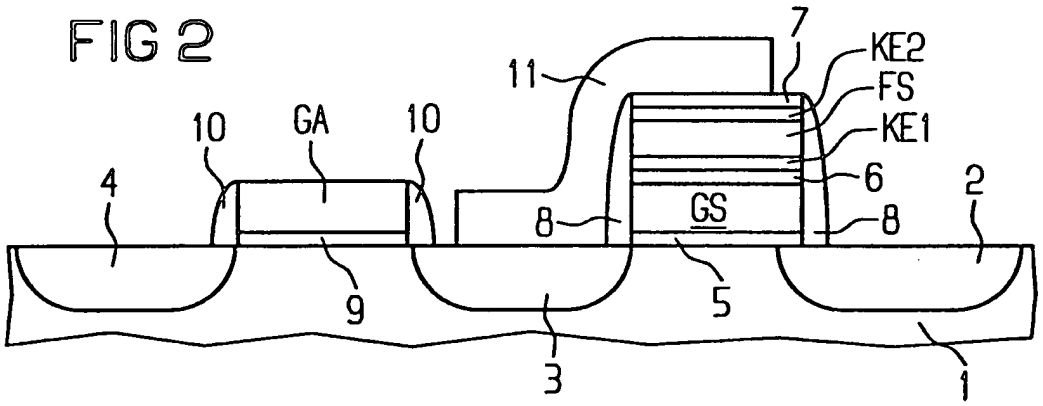
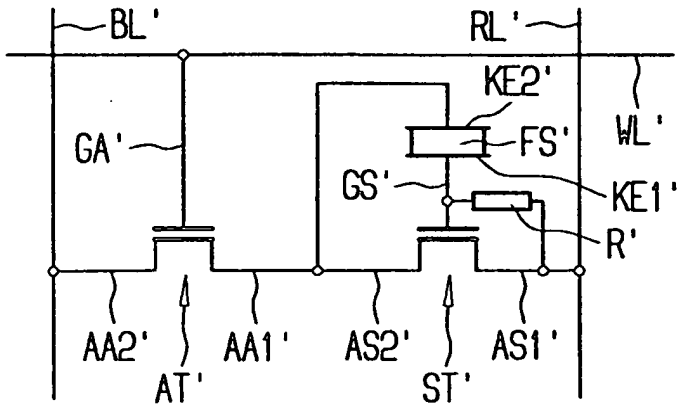


FIG 3



INTERNATIONAL SEARCH REPORT

Inter onal Application No
PCT/DE 99/03044

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 708 284 A (ONISHI SHIGEO) 13 January 1998 (1998-01-13) figures 1-3,12 column 4, line 16 - line 39 column 5, line 31 -column 9, line 6	1,2,4-7
Y	EP 0 516 031 A (RAMTRON INT CORP) 2 December 1992 (1992-12-02) figures 4A-G,5 column 2, line 5 - line 24 column 4, line 8 -column 8, line 19	1,2,4-7
A	US 5 345 415 A (NAKAO HIRONOBU ET AL) 6 September 1994 (1994-09-06) figures 7,8 column 7, line 18 -column 8, line 18	1,2,4-7

-/--

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 February 2000	01/03/2000

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Polesello, P

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Inte onal Application No
PCT/DE 99/03044

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 300 799 A (NAKAO HIRONOBU ET AL) 5 April 1994 (1994-04-05) figures 1-4 column 3, line 42 -column 4, line 23 column 4, line 58 -column 5, line 5 column 7, line 22 - line 26	1,2,4-7
A	US 5 753 946 A (NAIKI IHACHI ET AL) 19 May 1998 (1998-05-19) figures 6,7 column 3, line 53 -column 4, line 2 column 5, line 48 -column 6, line 59	1,2,4-7
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 08, 30 August 1996 (1996-08-30) -& JP 08 097386 A (NEC CORP), 12 April 1996 (1996-04-12) abstract; figures 1,5	1,2,4-7
A	US 5 689 456 A (KOBAYASHI SOTA) 18 November 1997 (1997-11-18) figures 4,5 column 4, line 51 -column 5, line 65	1,2,4-7
P,A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 10, 31 August 1999 (1999-08-31) & JP 11 135737 A (INTERNATL BUSINESS MACH CORP <IBM>), 21 May 1999 (1999-05-21) abstract	3
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 187 (P-1720), 30 March 1994 (1994-03-30) -& JP 05 342850 A (ROHM CO LTD), 24 December 1993 (1993-12-24) abstract; figures 1-3	3

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE 99/03044

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5708284	A	13-01-1998	JP	8264665 A	11-10-1996
EP 0516031	A	02-12-1992	US	5495117 A	27-02-1996
			US	5580814 A	03-12-1996
US 5345415	A	06-09-1994	JP	5136377 A	01-06-1993
			JP	5135570 A	01-06-1993
			US	5303182 A	12-04-1994
US 5300799	A	05-04-1994	JP	5136378 A	01-06-1993
US 5753946	A	19-05-1998	JP	8235872 A	13-09-1996
			JP	8250608 A	27-09-1996
			KR	172670 B	30-03-1999
JP 08097386	A	12-04-1996	JP	2692610 B	17-12-1997
US 5689456	A	18-11-1997	JP	2800745 B	21-09-1998
			JP	9139472 A	27-05-1997
JP 11135737	A	21-05-1999	CN	1211827 A	24-03-1999
JP 05342850	A	24-12-1993	NONE		

INTERNATIONALER RECHERCHENBERICHT

Inte onales Aktenzeichen
PCT/DE 99/03044

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L27/115

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 708 284 A (ONISHI SHIGEO) 13. Januar 1998 (1998-01-13) Abbildungen 1-3,12 Spalte 4, Zeile 16 - Zeile 39 Spalte 5, Zeile 31 -Spalte 9, Zeile 6 ---	1,2,4-7
Y	EP 0 516 031 A (RAMTRON INT CORP) 2. Dezember 1992 (1992-12-02) Abbildungen 4A-G,5 Spalte 2, Zeile 5 - Zeile 24 Spalte 4, Zeile 8 -Spalte 8, Zeile 19 ---	1,2,4-7
A	US 5 345 415 A (NAKAO HIRONOBU ET AL) 6. September 1994 (1994-09-06) Abbildungen 7,8 Spalte 7, Zeile 18 -Spalte 8, Zeile 18 ---	1,2,4-7

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

[X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
24. Februar 2000	01/03/2000

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Polesello, P

Formblatt PCT/ISA/210 (Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 99/03044

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 300 799 A (NAKAO HIRONOBU ET AL) 5. April 1994 (1994-04-05) Abbildungen 1-4 Spalte 3, Zeile 42 -Spalte 4, Zeile 23 Spalte 4, Zeile 58 -Spalte 5, Zeile 5 Spalte 7, Zeile 22 - Zeile 26	1,2,4-7
A	US 5 753 946 A (NAIKI IHACHI ET AL) 19. Mai 1998 (1998-05-19) Abbildungen 6,7 Spalte 3, Zeile 53 -Spalte 4, Zeile 2 Spalte 5, Zeile 48 -Spalte 6, Zeile 59	1,2,4-7
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 08, 30. August 1996 (1996-08-30) -& JP 08 097386 A (NEC CORP), 12. April 1996 (1996-04-12) Zusammenfassung; Abbildungen 1,5	1,2,4-7
A	US 5 689 456 A (KOBAYASHI SOTA) 18. November 1997 (1997-11-18) Abbildungen 4,5 Spalte 4, Zeile 51 -Spalte 5, Zeile 65	1,2,4-7
P,A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 10, 31. August 1999 (1999-08-31) & JP 11 135737 A (INTERNATL BUSINESS MACH CORP <IBM>), 21. Mai 1999 (1999-05-21) Zusammenfassung	3
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 187 (P-1720), 30. März 1994 (1994-03-30) -& JP 05 342850 A (ROHM CO LTD), 24. Dezember 1993 (1993-12-24) Zusammenfassung; Abbildungen 1-3	3

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 99/03044

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5708284 A	13-01-1998	JP 8264665 A	11-10-1996
EP 0516031 A	02-12-1992	US 5495117 A	27-02-1996
		US 5580814 A	03-12-1996
US 5345415 A	06-09-1994	JP 5136377 A	01-06-1993
		JP 5135570 A	01-06-1993
		US 5303182 A	12-04-1994
US 5300799 A	05-04-1994	JP 5136378 A	01-06-1993
US 5753946 A	19-05-1998	JP 8235872 A	13-09-1996
		JP 8250608 A	27-09-1996
		KR 172670 B	30-03-1999
JP 08097386 A	12-04-1996	JP 2692610 B	17-12-1997
US 5689456 A	18-11-1997	JP 2800745 B	21-09-1998
		JP 9139472 A	27-05-1997
JP 11135737 A	21-05-1999	CN 1211827 A	24-03-1999
JP 05342850 A	24-12-1993	KEINE	

PTO 2002-5070

CY=WO DATE=20000518 KIND=A1
PN=00/28596

MEMORY CELL ARRANGEMENT
[Speicherzellenanordnung]

T. Schlösser, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. October 2002

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(10):	WO
DOCUMENT NUMBER	(11):	00/28596
DOCUMENT KIND	(12):	A1
	(13):	APPLICATION
PUBLICATION DATE	(43):	20000518
PUBLICATION DATE	(45):	
APPLICATION NUMBER	(21):	PCT/DE99/03044
APPLICATION DATE	(22):	19990923
ADDITION TO	(61):	
INTERNATIONAL CLASSIFICATION	(51):	H 01 L 27/115
DOMESTIC CLASSIFICATION	(52):	
PRIORITY COUNTRY	(33):	DE
PRIORITY NUMBER	(31):	19851866.8
PRIORITY DATE	(32):	19981110
INVENTOR	(72):	Schlösser, T.; Krautschneider, W.; Hofmann, F.; Haneder, T.-P.
APPLICANT	(71):	Schlösser, T.; Krautschneider, W.; Hofmann, F.; Haneder, T.-P.
TITLE	(54):	MEMORY CELL ARRANGEMENT
FOREIGN TITLE	[54A]:	Speicherzellenanordnung

SPECIFICATIONS /1*

This invention relates to a memory cell arrangement for nonvolatile data storage.

A variety of memory cell arrangements are used for the nonvolatile storage of data, in which the memory cell contains a conventional MOS transistor that has a floating gate in addition to a control gate. Charges are stored at the floating gate that correspond to the stored information (c.f. S. M. Sze, Semiconductor Devices, J. Wiley, 1985, p. 490). Such memory cells are also called EEPROM cells. They can be programmed electrically. To be sure, time constants of as much as 20 ms are required for writing data. These memory devices can be reprogrammed only within certain limits, i.e., 10^6 cycles.

Moreover, memory cells are known (c.f. H. N. Lee, et al., Ext. Abstr. Int. Conf. Solid State Devices and Materials, 1997, pp. 382-383) in which nonvolatile data storage is accomplished using memory cells with a ferroelectric field effect transistor. Like an MIS transistor, the ferroelectric transistor has a source, a drain, a gate dielectric, and a gate electrode, where the gate dielectric contains a ferroelectric layer. The ferroelectric layer can assume

*Numbers in the margin indicate pagination in the foreign text.

two different polarization states, which can be assigned the logic values of digital information. By applying a sufficiently high voltage, the polarization state of the ferroelectric layer can be changed. When the ferroelectric transistor is integrated into a silicon process technology, a dielectric intermediate layer that ensures the interface properties is introduced between the surface of a silicon substrate and the ferroelectric layer.

When the memory cell is programmed, part of the voltage applied between the silicon substrate and the gate electrode is /2 dropped across the intermediate layer.

In order to avoid the technological difficulties of the interfaces, it was proposed (Y. Katoh, et al., Symp. VLSI Technol., 1996, pp. 56-57) that a MOS transistor whose gate electrode is in series with a ferroelectric capacitor be used as the memory cell. In this memory cell there is a voltage at the gate electrode that is dependent on the polarization state of the ferroelectric layer of the ferroelectric capacitor. In this memory cell the connection between the gate electrode and the ferroelectric capacitor must permit no charge flow, since otherwise the stored information will be lost and the data-retention time will be insufficient for nonvolatile storage.

The object of this invention is to provide a memory cell arrangement that is suitable for nonvolatile storage of data that can be reprogrammed more frequently than EEPROM arrangements and in which the data-retention time is independent of the leakage currents.

This object is achieved by a memory cell arrangement in accordance with Claim 1. Additional embodiments of the invention are indicated in the remaining claims.

The memory cell arrangement has a plurality of memory cells integrated into semiconductor substrate. Each memory cell has a selection transistor, a memory transistor, and a ferroelectric capacitor. The selection transistor and the memory transistor are connected in series. The ferroelectric capacitor is connected between a first terminal of the selection transistor, which is connected to a second terminal of the memory transistor, and a control electrode of the memory transistor.

Each memory cell is activated via a word line, by which the selection transistor is turned on. When the selection transistor /3 is turned on, the potential applied to the selection transistor is directly applied to the memory transistor and the ferroelectric capacitor. The memory transistor is then turned on or off,

depending on the polarization of the ferroelectric layer of the ferroelectric capacitor. The level of the signal that is to be detected depends on the level that is applied to the selection transistor. Thus, the memory cell is made in the form of a gain memory cell.

The information is saved in the form of the polarization of the ferroelectric layer. The polarization can be switched as often as desired. If a memory cell is selected by activating the corresponding word line, then a fixed potential is applied to the ferroelectric capacitor by way of the selection transistor. Corresponding to the polarization of the ferroelectric layer, there is a voltage at the gate electrode of the memory capacitor that is dependent on the stored information. If, on the other hand, the memory cell is not selected, then the potential can relax to equilibrium by means of any leakage currents that may be present through the first terminal of the selection transistor. The information is not lost in this way. A definite potential is applied once again to the ferroelectric capacitor and there is a voltage on the memory transistor only when the selection transistor is opened.

Preferably, MOS transistors are used for the selection transistor and the memory transistor. The control electrode of the memory transistor is then a gate electrode. The selection transistor is connected to a word line via its gate electrode. The selection transistor and the memory transistor are connected in /4 series between a bit line and a reference line. The reference line and the bit linerun parallel. Whether one of these lines is used as a bit line or a reference line is determined by the circuitry.

The ferroelectric capacitor has a ferroelectric layer that is arranged between two capacitor electrodes.

In order to write information to this memory cell, an elevated voltage is applied between the bit line and the reference line, so that the polarization of the ferroelectric layer is changed. It is advantageous if the ratio of capacitance of the ferroelectric capacitor to that of the gate electrode of the memory transistor is essentially 1:1. Since the ratio of the dielectric constant of the ferroelectric layer (e.g., SBT = strontium bismuth tantalate) of the ferroelectric capacitor to that of the dielectric layer of the transistor (e.g., SiO_2 in the standard silicon process technology) is approximately 100:1, when the capacitor and transistor gate surfaces are equal a voltage divider with extremely unfavorable

conditions is produced. Preferably, however, the surfaces of these two components should be as small as possible and, thus, approximately equal. There are several possibilities for improving the capacitance ratio of the voltage divider. The dielectric constant of the ferroelectric layer can be reduced, for example, by a suitable choice of deposition conditions, such as a lower temperature budget or, in the case of SBT, by adding small amounts of niobium. This reduces the capacitance of the ferroelectric capacitor.

With regard to the transistor, on the other hand, it is possible to increase the gate capacitance, for example, by using CeO_2, ZrO_2, or a very thin nitrided silicon oxide as the gate dielectric. In this way, the gate capacitance of the transistor can be substantially increased over that of conventional SiO_2 with /5 a comparable layer thickness (for CeO_2, for example, by a factor of 5).

Moreover, the capacitances can be suitably matched if the layer thickness of the ferroelectric layer of the ferroelectric capacitor is greater than that of the transistor by a factor of 50, for example.

To increase the capacitance between the gate electrode and the channel region of the memory transistor, it is advantageous to design one of the source/drain regions of the memory transistor in such a way that it overlaps with the gate electrode of the memory transistor. The overlap between the first source/drain region and the gate electrode of the memory transistor, in this case, is at least 10 percent of the gate electrode surface.

Preferably, the memory transistor is connected to the reference line via a first terminal and a resistor is placed between the gate electrode of the memory transistor and the reference line. With this arrangement, the read process and the read/write memory write operation are separated in the time domain. For reading the information, the memory cell is selected and a voltage is applied to the gate electrode of the memory transistor for a time that is dependent on the resistor and the capacitance of the ferroelectric capacitor. The information can be read during this time. Once this time expires, the voltage is applied directly to the ferroelectric capacitor, so that the polarization of the ferroelectric layer can be changed. Any resistor is suitable for this resistance. It can have an ohmic characteristic. However, there are also resistors that do not have ohmic characteristic

curves. In particular, the resistor can be made in the form of a thin dielectric layer through which charge carriers flow by tunneling. Such resistors are also known as tunnel resistors. /6 In this arrangement, reference line is connected to 0 V and the bit line to a supply voltage. The time constant can be adjusted by the resistance and the capacitance.

A substrate that contains monocrystalline silicon is particularly suitable as the semiconductor substrate, especially a monocrystalline silicon disk, an SOI substrate, or a SiC substrate.

Strontium bismuth tantalate (SBT), lead zirconium titanate (PZT), lithium niobate ($LiNbO_3$), barium strontium titanate (BST) and others may be used for the ferroelectric layer of the ferroelectric capacitor.

The invention will be explained in greater detail below with the help of some exemplary embodiments that are shown in the figures.

Figure 1 shows a memory cell having a selection transistor, a memory transistor and a ferroelectric capacitor;

Figure 2 shows a technological embodiment of the memory cell shown in Fig. 1;

Figure 3 shows a memory cell having a selection transistor, a memory transistor, a ferroelectric capacitor, and a resistor.

A first terminal **AS1** of a memory transistor **ST** is connected to a reference line **RL** (see Fig. 1). A second terminal **AS2** of memory transistor **ST** is connected to a first terminal **AA1** of a selection transistor **AT**. A second terminal **AA2** of the selection transistor is connected to a bit line **BL**. A gate electrode **GA** of selection transistor **AT** is connected to a word line **WL** A gate electrode **GS** /7 of memory transistor **ST** is connected to a first capacitor electrode **KE1** of a ferroelectric capacitor. In addition to first capacitor electrode **KE1**, the ferroelectric capacitor has a ferroelectric layer **FS** and a second capacitor electrode **KE2**, which is connected to first terminal **AA1** of selection transistor **AT**.

For operating the memory cell made of selection transistor **AT**, memory transistor **ST**, and the ferroelectric capacitor, a voltage is applied between bit line **BL** and reference line **RL** for reading data. Selection transistor **AT** is turned on by word line **WL**. As a result, the voltage on the bit line is applied to second terminal **AS2** of memory transistor **ST** and to second capacitor electrode **KE2**. The voltage applied to gate electrode **GS** of memory transistor **ST** depends on the polarization of ferroelectric layer **FS**. To read the

information that is assigned to the polarization of ferroelectric layer **FS**, it is determined whether or not current is flowing between bit line **BL** and reference line **RL**. To read information, the following levels are applied to bit line **BL**, reference line **RL**, and word line **WL**: reference line **RL** $V_{dd}/0$, bit line **BL** $0/V_{dd}$, word line **WL** $V_{dd} + V_t$, where V_{dd} is the supply voltage and V_t is the threshold voltage of the selection transistor. The increase in the voltage on the word line by the amount V_t is generally called boost.

To store information in this memory cell, a higher voltage is applied between bit line **BL** and reference line **RL**, so that a voltage sufficient to change the polarization direction of ferroelectric layer **FS** is applied via the ferroelectric capacitor when selection transistor **AT** is turned on.

The following levels are applied to store information in the /8 memory cell: bit line **BL** 0 or V_{dd}, reference line **RL** $2V_{dd}$ or $-V_{dd}$, word line **WL** V_{dd} or $V_{dd} + V_t$. Here it is assumed that the capacitance of the ferroelectric capacitor is, for example, 5 $fF/\mu m^2$ and the capacitance of gate electrode **GS** of the memory transistor is, for example, 5 $fF/\mu m^2$.

In order to apply a negative voltage to reference line **RL**, regions **2** that are connected to reference line **RL** must be located within a well that has a negative voltage applied that is approximately equal to the negative voltage on reference line **RL**. This well is made of a semiconductor material with a doping type that is opposite the doping type of the first source/drain region **2**. With the n-channel MOS technology that is prevalent in memory cells, the first source/drain region **2** is of n-type and the well is then doped with p-type.

Another possibility for achieving the required reversal of the electric field across the ferroelectric material when programming the logical states is to apply a voltage of 2 V_{dd} or 0 V to the reference line and 0 or 2 V_{dd} to the bit line. This means that in the case of a voltage of 2 V_{dd} on the bit line the gate oxide of selection transistor **AT** must be made to have a thickness that is designed for a voltage of 2 V_{dd} + V_t on word line **WL**, so that the voltage 2 V_{dd} can be switched through from the bit line to the ferroelectric capacitor. V_t is the threshold voltage of selection transistor **AT**.

The memory cell is implemented in a semiconductor substrate **1** of monocrystalline silicon (see Fig. 2). Semiconductor substrate **1**

has a first source/drain region **2**, a common source/drain region **3**, and a second source/drain region **4**. On the surface of semiconductor substrate **1** betweenfirst source/drain region **2** and /9
common source/drain region **3** there is a first gate oxide **5** and gate electrode **GS** of memory transistor **ST**. Gate oxide **5** has a thickness of 4 to 12 nm. Gate electrode **GS** of memory transistor **ST** contains n-doped polysilicon with a dopant concentration > 10^{20} cm^{-3} and a thickness of 100 to 300 nm. On the surface of gate electrode **GS** there is a first barrier layer **6** made, for example, of TiN 10 to 50 nm thick, on which first capacitor electrode **KE1** of platinum 20 to 200 nm thick is arranged. First capacitor electrode **KE1** borders on ferroelectric layer **FS** of strontium bismuth tantalate (SBT) or lead zirconium titanate (PZT), which has a thickness of 20 to 200 nm. Second capacitor electrode **KE2**, made of platinum with a thickness of 20 to 200 nm, is arranged on the side of ferroelectric layer **FS** facing away from first capacitor electrode **KE1**. Second capacitor electrode **KE2** is provided with a second barrier layer **7** of TiN, having a thickness of 10 to 50 nm.

First gate oxide **5**, gate electrode **GS** of memory transistor **ST**, first barrier layer **6**, first capacitor electrode **KE1**, ferroelectric layer **FS**, second capacitor electrode **KE2**, and second barrier layer

7 have common have common side walls that are provided with insulating spacers **8** of SiO_2.

On the surface of semiconductor substrate **1** between common source/drain region **3** and second source/drain region **4** there is a second gate oxide **9**, having a thickness of 4 to 12 nm, and gate electrode **GA** of selection transistor **AT**. Gate electrode **GA** of selection transistor **AT** and second gate oxide **9** have common side walls that are provided with insulating spacers **10** of SiO_2.

A conducting connection **11** of doped polysilicon extends from /10 the surface of common source/drain region **3** to the surface of second barrier layer **7**. Second capacitor electrode **KE2** and common source/drain region **3** are electrically connected to each other via conducting connection **11**.

In the off position of selection transistor **AT** a potential that is applied to second capacitor electrode **KE2** can relax through common source/drain region **3**. When selection transistor **AT** is turned on, common source/drain region **3** is pulled once again to the potential that is set by bit line **BL**. Consequently, the information in this memory cell is not lost, even if a charge flow by leakage current occurs between gate electrode **GS** of memory transistor **ST** and first capacitor electrode **KE1**.

In an additional exemplary embodiment, a memory transistor **ST'** and a selection transistor **AT'** are connected in series between a reference line **RL'** and a bit line **BL'**. A first terminal **AS1'** of memory transistor **ST'** is connected to reference line **RL'**, a second terminal **AS2'** of memory transistor **ST'** to a first terminal **AA1'** of selection transistor **AT'**, and a second terminal **AA2'** of selection transistor **AT'** to bit line **BL'**. Gate electrode **GA'** of selection transistor **AT'** is connected to a word line **WL'**.

The memory cell also has a ferroelectric capacitor, which comprises a first capacitor electrode **KE1'**, a ferroelectric layer **FS'**, and a second capacitor electrode **KE2'**. First capacitor electrode **KE1'** is connected to a gate electrode **GS'** of memory transistor **ST'**. Second capacitor electrode **KE2'** is connected to first terminal **AA1'** of selection transistor **AT'**. A resistor **R'** with a resistance of R is connected between gate electrode **GS'** of memory transistor **ST'** and first terminal **AS1'** of memory transistor /11 **ST'**.

During operation of the memory cell, the memory cell is selected via word line **WL'** and gate electrode **GA'** of selection transistor **AT'**. When selection transistor **AT'** is turned on, the voltage between word line **WL'** and reference line **RL'** is applied

first terminal **AS1'** and second terminal **AS2'** of memory transistor **ST'**. In this way, a supply voltage VDD of 1.5 to 3.3 V is applied to bit line **BL'** and 0 V to reference line **RL'**.

During a time **RC**, where **R** is the resistance of resistor **R'** and **C** is the capacitance of 1 to 3 fF, a voltage is applied to gate electrode **GS'** of memory transistor **ST'** that is dependent on the supply voltage **VDD** at second terminal **AS2'** of memory transistor **ST'** and the polarization of ferroelectric layer **FS'**. After a prolonged period of time, the surface charges of ferroelectric layer **FS'** drain off via resistor **R'**, so that the supply voltage drops across the ferroelectric capacitor. Thus, at times longer than RC there is a voltage across the ferroelectric capacitor that is used for writing, i.e., for changing the polarization of ferroelectric layer **FS'**.

The time constant RC is 10 to 50 ns.

Claims /12

1. A memory cell arrangement,

- wherein a plurality of memory cells, each of which has a selection transistor **AT**, a memory transistor **ST**, and a ferroelectric capacitor **KE1**, **FS**, **KE2** integrated into a semiconductor substrate **1**;

- wherein selection transistor **AT** and memory transistor **ST** are connected in series via a first terminal **AA1** of selection transistor **AT**;
- wherein ferroelectric capacitor **KE1**, **FS**, **KE2** is connected between first terminal **AA1** of selection transistor **AT** and a control electrode **GS** of memory transistor **ST**.

2. The memory cell arrangement as recited in Claim 1,
- wherein selection transistor **AT** and memory transistor **ST** are each made in the form of MOS transistors;
- wherein a gate electrode **GA** of selection transistor **AT** is connected to a word line **WL**;
- wherein selection transistor **AT** and memory transistor **ST** are connected in series between a bit line **BL** and a reference line **RL**.

3. The memory cell arrangement as recited in Claim 2,
- wherein memory transistor **ST** is connected to reference line **RL** via a first terminal **AS1**;
- wherein a resistor **R'** is connected between gate electrode **GS'** /13 of memory transistor **ST'** and reference line **RL'**

4. A memory cell arrangement as recited in one of the Claims 1 through 3,

- wherein the ferroelectric capacitor has a first capacitor electrode **KE1**, a ferroelectric layer **FS**, and a second capacitor electrode **KE2**;
- wherein the ferroelectric layer contains strontium bismuth tantalate (SBT), lead zirconium titanate (PZT), lithium niobate ($LiNbO_3$), or barium strontium titanate (BST).

5. A memory cell arrangement as recited in one of the Claims 1 through 4, wherein memory transistor **ST** has a first source/drain region **2** that is connected to first terminal **AS1** and that overlaps control electrode **GS** of memory transistor **ST**.

6. A memory cell arrangement as recited in Claim 5, wherein the overlap between first source/drain region **2** and control electrode **GS** of memory transistor **ST** comprises at least 10 percent of the surface of control electrode **GS**.

7. A memory cell arrangement as recited in one of the Claims 1 through 6, wherein the capacitance of the ferroelectric capacitor and the capacitance of control electrode **GS** of memory transistor **ST** are substantially at a ratio of one.

FIG 1

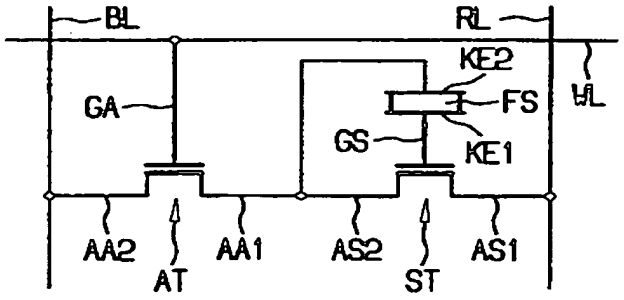


FIG 2

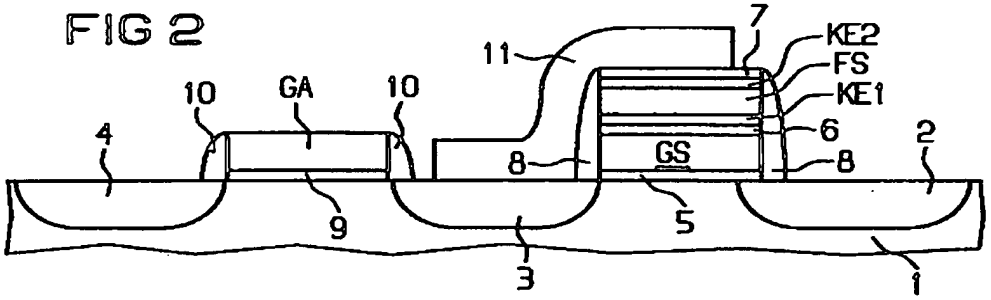


FIG 3

